

CLIPPEDIMAGE= JP363179537A

PAT-NO: JP363179537A

DOCUMENT-IDENTIFIER: JP 63179537 A

TITLE: MOUNTING METHOD OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 23, 1988

INVENTOR-INFORMATION:

NAME

KURODA, YASUHIDE  
INAGAKI, MITSUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP62012655

APPL-DATE: January 21, 1987

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 29/827, 438/FOR.368

ABSTRACT:

PURPOSE: To laminate devices on a circuit board in a three-dimensional form and to improve mounting effect, by bonding the surfaces of the semiconductor devices, on which circuits are not formed.

CONSTITUTION: A face-down type semiconductor device 1 is mounted on lands 4-1 on a circuit board 4 by a reflow soldering method. After the upper surface is washed, the surface of a bare-chip type semiconductor device 2, on which circuits are not formed, is stacked and bonded on said upper surface of the device 2 with a bonding agent 1-1. After electrode pads 2-1 of the bare-chip

type semiconductor device 2 are washed, the pads 2-1 are wire-bonded to the lands 4-1 of the circuit board 4 through bonding wires 2-2.

The surfaces of the semiconductor devices, which are substantially vacant regions, are assembled in a three-dimensional pattern and mounted as double layers. Thus the mounting efficiency on the circuit board can be improved.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報 (A) 昭63-179537

⑥Int.Cl.<sup>4</sup>

H 01 L 21/60

識別記号

庁内整理番号

⑩公開 昭和63年(1988)7月23日

6918-5F

審査請求 未請求 発明の数 1 (全4頁)

⑪発明の名称 半導体装置の実装方法

⑫特願 昭62-12655

⑫出願 昭62(1987)1月21日

⑬発明者 黒田 康秀 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑬発明者 稲垣 光雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑭出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑮代理人 弁理士 井桁 貞一

## 明細書

## 1. 発明の名称

半導体装置の実装方法

半導体装置の実装方法において、回路が形成されていない半導体装置のそれぞれの面を互いに接合することにより、回路基板に立体的に積み重ね実装し、実装効率を向上したものである。

## 2. 特許請求の範囲

(1) 回路が形成されていない半導体装置(1,2)  
のそれぞれの面を互いに接合する工程を含むこと  
を特徴とする半導体装置の実装方法。

(2) 上記接合した半導体装置(1,2)をそれぞれ  
リードフレーム(5)に接続した後、樹脂材(6)に  
てモールド成形する工程を含むことを特徴とする  
特許請求の範囲第1項記載の半導体装置の実装方  
法。

(3) 上記半導体装置(1,2)間に接地用リード(7)  
を挟着する工程を含むことを特徴とする特許請求  
の範囲第1項記載の半導体装置の実装方法。

## (産業上の利用分野)

本発明は半導体装置を回路基板に実装する方法  
に関する。

電子装置を小型化するため、電子部品を高密度  
実装する種々の方法が採られているが、一方として、  
半導体装置を立体的に積み重ね実装して実  
装効率を倍増する実装方法が要望されている。

## (従来の技術)

従来は第6図の側断面図に示すように、フェー  
スタダウン型(Face Down Type)半導体装置11、例え  
ばフリップチップ型(Flip Chip Type)半導体装置  
とベアチップ型(Bare Chip Type)半導体装置12を  
同じ回路基板14上に実装する場合、それぞれのス  
ペースを専有し、別位置に配置して実装される。

## 3. 発明の詳細な説明

(概要)

即ち、フリップチップ型半導体装置11は、回路基板14の所定位置のランド14-1に載せてリフロー半田付けされ、

一方、ペアチップ型半導体装置12は、別の所定位置のランド14-2に載せて接合材12-1、例えばリフロー半田より高融点の半田接着法、またはAuSiなどの共晶合金接着法によって接合され、上面の電極パッド12-1はポンディング線12-2、例えばA<sub>u</sub>線やA<sub>l</sub>線などを用いて超音波ポンディング法や熱圧着法によってワイヤポンディング接続される。

#### (発明が解決しようとする問題点)

しかしながら、このような上記実装方法によれば、フリップチップ型半導体装置の上面やペアチップ型半導体装置の下面は、回路が形成されていないために実装上、回路素子としての機能を果たしていない場合が多く、実際上の空きスペースとなつておらず、その分だけ実装効率を低下させていたといった問題があった。

第1図(a)は、フェースグウン型半導体装置1、例えばフリップチップ型半導体装置を回路基板4上のランド4-1にリフロー半田付け法によって実装し、

第1図(b)は、このフリップチップ型半導体装置1の上面を洗浄後、接合材1-1、例えばリフロー半田より低融点半田、または銀入りエポキシ樹脂によるダイポンディング接着法等により、上記上面にペアチップ型半導体装置2の回路が形成されていない面を載せ、積み重ね接合し、

第1図(c)は、ペアチップ型半導体装置2の電極パッド2-1を洗浄後、回路基板4のランド4-1と電極パッド2-1とをポンディング線2-2、例えばA<sub>u</sub>線やA<sub>l</sub>線などを用いて超音波ポンディング法や熱圧着法によってワイヤポンディング接続する。

第2図は実施例2の実装工程順を示す側断面図であって、

第2図(a)は、フリップチップ型半導体装置1とペアチップ型半導体装置2とを予め、回路基板4

本発明は上記問題点を解決する半導体装置の実装方法を提供するものである。

#### (問題点を解決するための手段)

従来方法における上記問題点は、回路が形成されていない半導体装置のそれぞれの面を互いに接合することによって解決される。

#### (作用)

立体的に積み重ねて接合することにより、実装スペースを約半減することができる。

また、モールド成形することによって、単一品となり、取り扱いや実装が容易になる。

#### (実施例)

以下第1図～第5図に示す各実施例により本発明の要旨を具体的に説明する。なお図中、同一符号は同一装置、部材を示す。

第1図は実施例1の実装工程順を示す側断面図であって、

に実装する前に接合したものであって、それぞれの回路形成されていない面同士を接合材1-1、例えばリフロー半田より高融点の半田接着法、またはAuSi等の共晶合金接着法によって積み重ね接合し、

第2図(b)は、フリップチップ型半導体装置1を回路基板4のランド4-1上にリフロー半田付け法によって実装し、

第2図(c)は、ペアチップ型半導体装置2の電極パッド2-1を洗浄後、回路基板4のランド4-1にポンディング線2-2、例えばA<sub>u</sub>線やA<sub>l</sub>線などを用いて超音波ポンディング法や熱圧着法によってワイヤポンディング接続する。

第3図は実施例3の側断面図であって、上記第1図、または第2図におけるフリップチップ型半導体装置1をビームリード型半導体装置3にしたものである。

第4図は実施例4の側断面図であって、上記回路基板4のランド4-1の替わりにリードフレーム5を用いたもので、第2図(a)において積み

重ね実装されたフリップチップ型半導体装置1をリードフレーム5上に載せてリフロー半田付けし、ペアチップ型半導体装置2をリードフレーム5にワイヤボンディング接続し、樹脂材6でモールド成形したものである。

第5図は実施例5の側断面図であって、フリップチップ型半導体装置1とペアチップ型半導体装置2との間に導電性と熱伝導性の優れた接地用リード7、例えば銅合金や42アロイリード、または金合金やアルミ合金リボンリードなどを挟んで接合したもので、接地用リード7は回路基板の接地用ランド4-2にリフロー半田付け、または超音波ボンディング法や熱圧着法によって接続される。

上記それぞれの実施例は、何れも半導体装置の回路を形成していない面を背中合わせにして接合したものであって、実装効率を約2倍に高め、回路基板の高密度実装化が図れる。

また、上記半導体装置間に接地用リードを挿入することにより、静電シールドなどを強化できる。

## (発明の効果)

以上、詳述したように本発明によれば、半導体装置の実際上の空きスペースとなっている面を組み合わせ、立体的に積み重ね2重実装することによって回路基板への実装効率を格段に向上できるといった実用上極めて有用な効果を発揮する。

## 4. 図面の簡単な説明

第1図(a), (b), (c)は本発明による実施例1の実装工程順を示す側断面図、

第2図(a), (b), (c)は本発明による実施例2の実装工程順を示す側断面図、

第3図は本発明による実施例3の側断面図、

第4図は本発明による実施例4の側断面図、

第5図は本発明による実施例5の側断面図、

第6図は従来技術による側断面図、

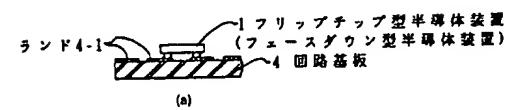
である。

図において、

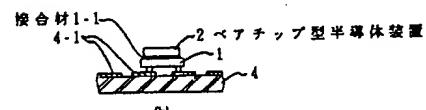
1はフェースダウン型半導体装置(フリップチップ型半導体装置)、

- 1-1は接合材、
  - 2はペアチップ型半導体装置、
  - 2-1は電極パッド、
  - 2-2はボンディング線、
  - 3はビームリード型半導体装置、
  - 4は回路基板、
  - 4-1はランド、
  - 5はリードフレーム、
  - 6は樹脂材、
  - 7は接地用リード、
- を示す。

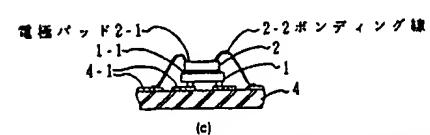
代理人弁理士井桁真



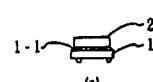
(a)



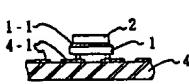
(b)



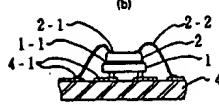
(c)

本発明による実施例1の実装工程順を示す側断面図  
第1図

(a)

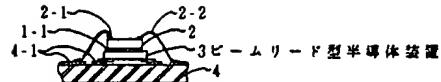


(b)

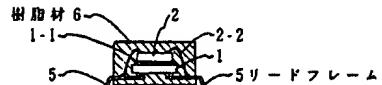


(c)

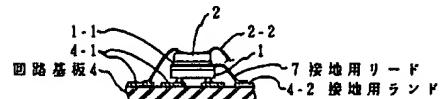
本発明による実施例2の実装工程順を示す側断面図  
第2図



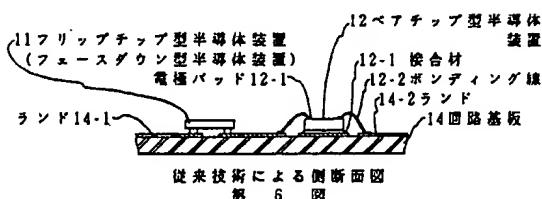
本発明による実施例3の側断面図  
第3図



本発明による実施例4の側断面図  
第4図



本発明による実施例5の側断面図  
第5図



従来技術による側断面図  
第6図